

Field effect transistor with lightly doped drain structure and method for manufacturing the same

Patent number: DE3709708
Publication date: 1987-10-08
Inventor: TAKENOUCHI NAOKO (JP); HIEDA KATSUHIKO (JP)
Applicant: TOSHIBA KAWASAKI KK (JP)
Classification:
- international: H01L29/78; H01L21/265
- european: H01L21/336H1L; H01L29/78
Application number: DE19873709708 19870325
Priority number(s): JP19860071158 19860331

Also published as:



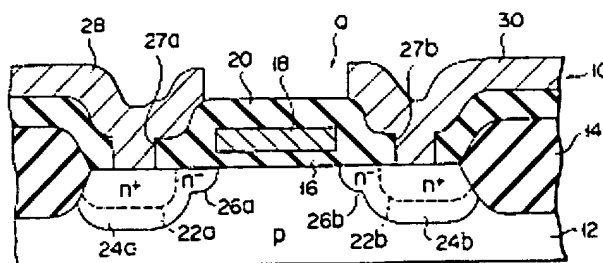
US5061649 (A1)

JP62229976 (A)

Report a data error here

Abstract not available for DE3709708
Abstract of corresponding document: **US5061649**

A semiconductor integrated circuit device is disclosed which has an MOSFET with a lightly doped drain or LLD structure. A gate electrode layer is insulatively provided above a semiconductor substrate of p conductivity type. Source and drain layers of n conductivity type are formed in the substrate in such a manner as to be substantially self-aligned with the gate electrode. Each of these source and drain layers is comprised of a heavily doped diffusion layer and a lightly doped diffusion layer. The n-diffusion layer is deep enough to fully surround the heavily doped layer in the substrate. The n-diffusion layer has a step-like cross-section, whereby the effective channel length of MOSFET is increased inside the substrate to increase the punch-through voltage level.



Data supplied from the esp@cenet database - Worldwide



DEUTSCHES
PATENTAMT

②1 Aktenzeichen: P 37 09 708.3
②2 Anmeldetag: 25. 3. 87
④3 Offenlegungstag: 8. 10. 87

Behördeneigentum

DE 37 09 708 A 1

③0 Unionspriorität: ③2 ③3 ③1
31.03.86 JP P 71158/86

⑦1 Anmelder:
Kabushiki Kaisha Toshiba, Kawasaki, Kanagawa, JP

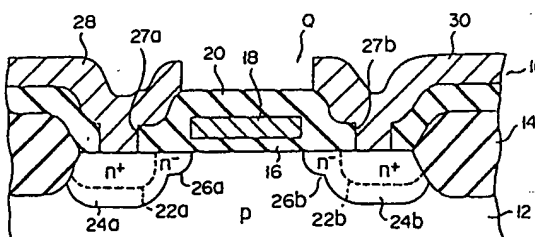
⑦4 Vertreter:
Eitle, W., Dipl.-Ing.; Hoffmann, K., Dipl.-Ing.
Dr.rer.nat.; Lehn, W., Dipl.-Ing.; Fücksle, K.,
Dipl.-Ing.; Hansen, B., Dipl.-Chem. Dr.rer.nat.;
Brauns, H., Dipl.-Chem. Dr.rer.nat.; Görg, K.,
Dipl.-Ing.; Kohlmann, K., Dipl.-Ing.; Kolb, H.,
Dipl.-Chem. Dr.rer.nat.; Ritter und Edler von
Fischern, B., Dipl.-Ing., Pat.-Anw.; Nette, A.,
Rechtsanw., 8000 München

⑦2 Erfinder:
Takenouchi, Naoko, Tokio/Tokyo, JP; Hieda,
Katsuhiko, Yokohama, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Feldeffekttransistor mit gering dotierter Drainanordnung und Verfahren zur Herstellung desselben

Integrierte Halbleiterschaltungsanordnung, die einen MOSFET (Q) mit einer gering dotierten Drainanordnung oder LDD-Anordnung aufweist. Eine Gateelektrodenschicht (18) ist isoliert über einem Halbleitersubstrat (12) eines p-Leitungstyps angeordnet. Source- und Drainschichten (22a, 22b; 24a, 24b) eines n-Leitungstyps sind im Substrat (12) derart angeordnet, daß sie im wesentlichen selbstfluchtend zur Gateelektrode (18) liegen. Jede dieser Source- und Drainschichten besteht aus einer stark dotierten (n⁺) Diffusionschicht (22a, 22b) und einer gering dotierten (n⁻) Diffusionschicht (24a, 24b). Die n⁻-Diffusionschicht (24a, 24b) ist ausreichend tief, um die stark dotierte Schicht (22a, 22b) im Substrat (12) vollständig zu umgeben. Die n⁻-Diffusionschicht (24a, 24b) hat einen stufenartigen Querschnitt, so daß die effektive Kanallänge des MOSFETs (Q) innerhalb des Substrates (12) erhöht wird, um den Durchgriffsspannungspegel zu erhöhen.



DE 37 09 708 A 1

Patentansprüche

1. Halbleitervorrichtung (10) mit einer leitenden Schicht (18), die isoliert über einem Halbleitersubstrat (12) eines ersten Leitungstyps aufgebracht ist, um als Gateelektrode eines Feldeffekttransistors (Q) zu dienen, und mit aktiven Halbleiterschichten eines zweiten Leitungstyps, die im Substrat (12) derart ausgebildet sind, dass sie im wesentlichen selbstfluchtend mit der leitenden Schicht (18) liegen und als Source- und Drainschicht des Transistors (Q) dienen, dadurch gekennzeichnet, dass zumindest die Drainschicht eine erste Halbleiterschicht (22) mit einer ersten Fremdatomkonzentration sowie eine zweite Halbleiterschicht (24) einer zweiten Fremdatomkonzentration aufweist, die kleiner als die erste Fremdatomkonzentration ist, und dass die zweite Halbleiterschicht (24) derart ausgebildet ist, dass sie die erste Halbleiterschicht (22) im Substrat (12) umgibt und einen stufenartigen Querschnitt (26) aufweist, so dass eine effektive Kanallänge des Transistors (Q) im Substrat (12) vergrößert wird, um einen Durchgriffsspannungspegel zu vergrößern, um dadurch die Erzeugung eines Durchgriffphänomens im Transistor (Q) zu unterdrücken.
2. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass die zweite Halbleiterschicht (24a, 24b) umfasst:
 - eine erste Diffusionsschicht (32a, 32b) des zweiten Leitungstyps, die im Substrat (12) gebildet ist und im wesentlichen selbstfluchtend zur leitenden Schicht (18) liegt, und
 - eine zweite Diffusionsschicht (38a, 38b) des zweiten Leitungstyps, die im Substrat (12) ausgebildet ist und die erste Diffusionsschicht (32a, 32b) überlappt, wobei die zweite Diffusionsschicht (38a, 38b) tiefer als die erste Diffusionsschicht (32a, 32b) ist und den stufenartigen Querschnitt im Substrat (12) bildet.
3. Halbleitervorrichtung nach Anspruch 2, dadurch gekennzeichnet, dass jede Source- und Drainschicht die erste und zweite Halbleiterschicht (32a, 32b; 38a, 38b) umfasst.
4. Halbleitervorrichtung nach Anspruch 3, dadurch gekennzeichnet, dass eine Isolierschicht (20) auf dem Substrat (12) vorgesehen ist, um die leitende Schicht (18) und die ersten und zweiten aktiven Schichten (32a, 32b; 38a, 38b) abzudecken, und dass die Isolierschicht (20) Öffnungen (27a, 27b) aufweist, die als Kontaktlöcher für die Source- und Drainschichten des Transistors (Q) dienen.
5. Halbleitervorrichtung nach Anspruch 3, dadurch gekennzeichnet, dass das Substrat (12) eine dritte Fremdatomkonzentration enthält, die höher als die zweite Fremdatomkonzentration der zweiten Halbleiterschicht (24a, 24b) ist.
6. Verfahren zur Herstellung eines Feldeffekttransistors (Q) mit einer gering dotierten Drainanordnung, gemäss welchem eine Drainschicht eine stark dotierte Halbleiterschicht (22a, 22b) und eine gering dotierte Halbleiterschicht (24a, 24b) aufweist, die so ausgebildet ist, um die stark dotierte Halbleiterschicht (22a, 22b) in einem Halbleitersubstrat (12) eines ersten Leitungstyps zu umgeben, und wobei eine leitende Schicht (18) isolierend über dem Substrat (12) vorgesehen ist und als Gateelektrode des Transistors (Q) dient, dadurch gekennzeichnet, dass die Ionenimplantierungen mehrmals durchgeführt werden, um in dem Substrat (12) aktive Halbleiterschichten eines zweiten Leitungstyps zu bilden, die als Source- und Drainschichten des Transistors (Q) wirken und dass die Ionenimplantierungen das getrennte Implantieren von Halbleiter-Fremdatomen des zweiten Leitungstyps in das Substrat (12) umfassen, um eine erste Diffusionsschicht (32a, 32b) zu bilden, die im wesentlichen selbstfluchtend mit der leitenden Schicht (18) liegt, sowie eine zweite Diffusionsschicht (38a, 38b), die im Substrat (12) derart ausgebildet ist, dass sie die erste Diffusionsschicht (32a, 32b) überlappt, wobei die zweite Diffusionsschicht (38a, 38b) tiefer als die erste Diffusionsschicht (32a, 32b) ist und die ersten und zweiten Diffusionsschichten (32a, 32b; 38a, 38b) die gering dotierte Halbleiterschicht bilden, wodurch die gering dotierte Halbleiterschicht einen stufenartigen Querschnitt erhält.
7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, dass die erste Diffusionsschicht (32a, 32b) in der leitenden Schicht (18) als eine Maske gebildet wird, und dass die zweite Diffusionsschicht (38a, 38b) mit der leitenden Schicht (18) und den Isolierschichtabschnitten (66'), die an beiden Seiten der leitenden Schicht (18) liegen, als Maske gebildet wird.
8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, dass die Halbleiter-Fremdatome des zweiten Leitungstyps in das Substrat (12) mit der leitenden Schicht (18) und den Isolierschichtabschnitten (66') als Maske implantiert werden, so dass eine dritte Diffusionsschicht (22a, 22b) gebildet wird, die als stark dotierte Halbleiterschicht wirkt, wobei die dritte Diffusionsschicht (22a, 22b) dünner als die zweite Diffusionsschicht (38a, 38b) ist, so dass die dritte Diffusionsschicht (22a, 22b) völlig von der gering dotierten Halbleiterschicht umgeben wird, die durch die ersten und zweiten Diffusionsschichten (32a, 32b; 38a, 38b) gebildet wird.
9. Verfahren nach Anspruch 7, dadurch gekennzeichnet, dass die Halbleiter-Fremdatome des zweiten Leitungstyps ferner in einen überlappenden Bereich der ersten und zweiten Diffusionsschichten (32a, 32b; 38a, 38b) implantiert werden, wobei die leitende Schicht (18) und die Isolierschichtabschnitte (66') als Maske dienen, wodurch eine dritte Diffusionsschicht (22a, 22b) gebildet wird, die als die stark dotierte Halbleiterschicht wirkt, und die dritte Diffusionsschicht (22a, 22b) dünner als die zweite Diffusionsschicht (38a, 38b) ist, so dass die dritte Diffusionsschicht (22a, 22b) vollständig durch die gering dotierte Halbleiterschicht umgeben wird, die aus den ersten und zweiten Diffusionsschichten (32a, 32b; 38a, 38b) besteht.

Beschreibung

Die Erfindung betrifft eine Halbleitervorrichtung, die mittels eines Submikron-Herstellungsverfahrens mikrominiaturisiert ist und insbesondere eine integrierte Halbleiterschaltung hoher Packungsdichte, die Feldeffekttransistoren von Submikrongrösse enthält, sowie ein Verfahren zur Herstellung derselben.

Mittels eines neueren Fortschrittes in Mikrominiaturisierungsverfahren wurden integrierte Halbleiterschaltungen hergestellt, die Feldeffekttransistoren aufweisen, die in einem Chipsubstrat ausgebildet sind und deren effektive Kanallänge in der Grössenordnung eines Sub-

mikronwertes festgelegt ist. Das Submikronherstellungsverfahren ist der aussichtsreichste, grundlegende technische Versuch, den ständigen Wunsch nach Verbesserung einer Halbleiterspeicherintegrierung zu erfüllen. Verschiedene Verfahren wurden entwickelt, ein mikrominiaturisiertes Transistormuster auf einem Chipsubstrat herzustellen, während hohe Zuverlässigkeit und hohe Ausbeute erzielt werden.

Die Mikrominiaturisierung von Transistoren in der Halbleitervorrichtung bereitet verschiedene Schwierigkeiten, beispielsweise die Herabsetzung der grundlegenden Betriebsweise der Vorrichtung. Die Submikron-Feldeffekttransistoren, wie beispielsweise Metalloxidhalbleiter-Feldeffekttransistoren (die anschliessend als MOSFETs beschrieben werden) weisen den Nachteil auf, ein Durchgreifphänomen an einer Source-Drain-Schaltung aufzuweisen, sowie eine Absenkung einer Übergangszonen-Durchschlagsspannung an aktiven Schichten, die als Source und Drain arbeiten.

In den mikrominiaturisierten MOSFETs ist eine effektive Kanallänge infolge einer kurzen Entfernung zwischen Source und Drain kurz bemessen. Mit einer steigenden, an den aktiven Schichten liegenden Spannung werden die aktiven Schichten umgebende Verarmungsschichten im halbleitenden Substrat vergrössert. Überschreitet die zugeführte Spannung einen bestimmten Wert, so werden die Verarmungsschichten miteinander verbunden. In einem derartigen Durchgriffszustand wird der grundlegende Transistorvorgang behindert. Ist die effektive Kanallänge in einer Submikron-Grössenordnung kurz, so ist es wahrscheinlicher, dass das Durchgriffphänomen in besonders prominenter Weise auftritt, was für die mikrominiaturisierten MOSFETs eine ernste Schwierigkeit darstellt.

Ist die Fremdatomkonzentration des Substrats auf einen hohen Wert eingestellt, so ist es möglich, die Ausdehnung der die aktive Schicht im Substrat umgebenden Verarmungsschichten zu unterdrücken und auf diese Weise die Erzeugung des vorausgehend erwähnten Durchgriffphänomens so gering wie möglich zu halten. In diesem Falle wird jedoch der Fremdatomkonzentrationsunterschied zwischen der aktiven Schicht und dem Substrat selbstverständlich grösser, wodurch die andere Schwierigkeit entsteht, dass sich die Durchschlagsspannung der Übergangszone am Source- und Drainbereich verringert. Wird die Übergangszonen-Durchschlagsspannung der MOSFETs herabgesetzt, so wird der Betriebsbereich des MOSFETs verringert, wodurch das grundlegende Betriebsverhalten der integrierten Schaltvorrichtung verschlechtert wird.

Unter Berücksichtigung dieser Faktoren wurde unlängst vorgeschlagen, MOSFETs herzustellen, die eine gering dotierte Drainanordnung aufweisen, die dem Fachmann als LDD-Anordnung bekannt ist. Bei dieser Anordnung sind gering dotierte Halbleiterschichten, die den gleichen Leitungstyp wie jene der aktiven Schichten aufweisen, am Umfang der aktiven Schichten (Source und Drain) im Substrat angeordnet. Diese Schichten haben einen Fremdatomkonzentrationspegel, der niedriger als jener der aktiven Schichten ist. Selbst bei Halbleitervorrichtungen mit dieser Anordnung war es jedoch schwierig, sogleich die vorausgehend aufgeführten, einander konträren Schwierigkeiten zu lösen, da es, falls die gering dotierte Schicht so ausgebildet wird, dass sie an einem Kanalbereich teilweise mit jeder aktiven Schicht verbunden ist, nicht möglich ist, die Verringerung einer Übergangszonen-Durchschlagsspannung in einem Bereich zwischen der gering dotierten Schicht

und dem übrigen Teil der aktiven Schicht zu unterdrücken. Wird andererseits die gering dotierte Schicht so ausgebildet, dass sie vollständig jede aktive Schicht umgibt, dann kann das Auftreten des Durchgriffsphänomens nicht im gewünschten Ausmass richtig unterdrückt werden, da die Übergangszonentiefe der gering dotierten Schicht grösser ist.

Der Erfindung liegt die Aufgabe zugrunde, eine neue verbesserte Halbleitervorrichtung von Submikrongrösse zu schaffen, die nicht nur wirksam ein Durchgriffsphänomen unterdrückt, sondern auch die Übergangszonen-Durchschlagsspannung im Source- und Drainbereich der Vorrichtung erhöhen kann.

Ferner liegt der Erfindung die Aufgabe zugrunde, ein Verfahren zur verbesserten Herstellung einer Mikrofabrizierten Halbleitervorrichtung zu schaffen, das nicht nur wirksam ein Durchgriffsphänomen unterdrücken kann, sondern auch eine Übergangszonen-Durchschlagsspannung im Source- und Drainbereich der Vorrichtung erhöhen kann.

Im Einklang mit obiger Aufgabenstellung ist die Erfindung auf eine besondere Halbleitervorrichtung abgestellt, die einen Feldeffekttransistor mit einer gering dotierten Drainanordnung umfasst. Der Transistor ist in einem Halbleitersubstrat eines ersten Leitungstyps ausgebildet.

Eine leitende Schicht ist oberhalb des Substrates isoliert angeordnet, um als Gateelektrode des Transistors zu dienen. Zwei aktive Halbleiterschichten eines zweiten Leitungstyps sind im Substrat in solcher Weise ausgebildet, dass sie im wesentlichen selbstfluchtend mit der Gateschicht angeordnet sind, um als Source- bzw. Drainschicht des Transistors zu wirken.

Zumindest die Drainschicht umfasst eine stark dotierte Halbleiterschicht und eine leicht dotierte Halbleiterschicht des zweiten Leitungstyps. Die gering dotierte Schicht ist im Substrat so ausgebildet, dass sie die stark dotierte Schicht umgibt. Die gering dotierte Schicht weist einen stufenförmigen Querschnitt auf, wodurch eine effektive Kanallänge des Transistors innerhalb des Substrates vergrössert wird, so dass die Erzeugung eines Durchgriffsphänomens im Feldeffekttransistor minimal gehalten werden kann.

Die gering dotierte Halbleiterschicht umfasst eine erste und eine zweite Diffusionsschicht, die getrennt im Substrat hergestellt werden, indem aufeinanderfolgend Ionenimplantierungen durchgeführt werden, so dass diese Schichten überlappen und die stufenförmige Querschnittsform der gering dotierten Schicht mühelos ohne Verwendung eines Spezialverfahrens erhalten wird.

Zur Lösung der eingangs genannten Aufgabenstellung ist die Erfindung auf eine Halbleitervorrichtung der im Oberbegriff des Anspruchs 1 beschriebenen Art gerichtet, mit einer ersten Fremdatomkonzentration sowie einer zweiten Halbleiterschicht einer zweiten Fremdatomkonzentration, die kleiner als die erste Fremdatomkonzentration ist, und wobei die zweite Halbleiterschicht derart ausgebildet ist, dass sie die erste Halbleiterschicht im Substrat umgibt und einen stufenartigen Querschnitt aufweist, so dass eine effektive Kanallänge des Transistors im Substrat vergrössert wird, um einen Durchgriffsspannungspegel zu vergrössern, um dadurch die Erzeugung eines Durchgriffsphänomens im Transistor zu unterdrücken.

Die Erfindung mit ihren Zielsetzungen und Vorteilen ergibt sich im einzelnen aus der anschliessenden näheren Beschreibung einer bevorzugten Ausführungsform.

In den Zeichnungen zeigen:

Fig. 1 eine nicht massstabgerechte grössere Querschnittsansicht, die eine integrierte Halbleiterschaltungsanordnung gemäss einer bevorzugten Ausführungsform der Erfindung darstellt, die Metalloxidhalbleiter-Feldeffekttransistoren enthält;

Fig. 2A bis 2E Querschnittsdarstellungen, die aufeinanderfolgend in den Hauptverfahrensschritten der Herstellung einer Halbleiterschaltung erzielt werden, und

Fig. 3 eine charakteristische Kennlinie, die eine Änderung der Fremdatomkonzentrationspegel einer aktiven Schicht (Source oder Drain) und eines entsprechenden Halbleitersubstratsabschnittes einer Transistoranordnung nach Fig. 1 darstellt, betrachtet in Vertikalrichtung des Substrats.

Es wird nunmehr auf Fig. 1 Bezug genommen. Das Halbleitersubstrat (12) einer integrierten Halbleiterschaltungsanordnung (10) umfasst ein Siliciumsubstrat eines p-Leitungstyps. Ein Feld-Oxidfilm (14), der aus einer Siliciumoxidschicht gebildet ist, ist so ausgebildet, dass ein Metalloxidhalbleiter-Feldeffekttransistor (anschliessend als MOSFET bezeichnet)-Bereich im Substrat (14) erhalten wird. Eine Gate-Oxidschicht oder Isolierschicht (16) ist im Substratschnitt innerhalb des Transistorbereiches ausgebildet. Die Gate-Oxidschicht (16) hat eine Dicke von beispielsweise 20 nm. Eine Gateelektrodenschicht (18) des MOSFETs ist auf der Gate-Oxidschicht (16) ausgebildet und besteht aus Polysilicium. Eine Oxidschicht (20) ist so gestaltet, dass sie die Gateelektrode (18) umgibt.

Stark dotierte Halbleiterschichten (22a, 22b) eines Leitungstyps (n-Typ), der entgegengesetzt zu jenem des Substrates (12) ist, werden durch Diffusion im Oberflächenabschnitt des Substrates (12) hergestellt. In Fig. 1 ist der Leitungstyp der Halbleiterschicht (22) durch die Markierung "n+" im Einklang mit einer üblichen Bezeichnungsweise angegeben. Halbleiterschichten (22a, 22b) dienen als Source- und Drainschicht des MOSFET (Q).

Gering dotierte Halbleiterschichten (24a, 24b) dringen tief in das Substrat (12) in solcher Weise ein, dass sie die Source- und Drainschicht (22a, 22b) vollständig umgeben. Die Halbleiterschichten (24a, 24b) haben den gleichen Leitungstyp (n-Typ) wie die Source- und Drainschicht (22a, 22b). Der Leitungstyp dieser Schichten (24a, 24b) wird in Fig. 1 durch die Markierung "n-" im Einklang mit der üblichen Bezeichnungsweise angegeben.

In Fig. 1 wird die Halbleiterschicht (22) durch eine gestrichelte Linie angegeben, damit die Halbleiterschichten (22, 24) visuell voneinander unterschieden sind. Die Halbleiterschicht (24) ist im wesentlichen selbstfluchtend mit der Gateelektrodenschicht (18) geordnet. Die Halbleiterschicht (24) dient auch als Source- und Drain des MOSFETs (Q). Dieser MOSFET weist somit eine LDD-Anordnung auf, in der die Fremdatomkonzentrationspegel der Source- und Drainschicht hoch in ihrem inneren Bereich und niedrig in ihrem Umfangsbereich sind. Die jeweilige gering dotierte Halbleiterschicht (24) ist im Querschnitt gemäss Fig. 1 stufenförmig ausgebildet. Insbesondere weist die jeweilige Halbleiterschicht (24) einen Ansatz (26a, 26b) auf, der neben jedem Ende des Kanalbereiches angeordnet ist, d.h. am unteren Rand eines oberflächennahen Hökerabschnittes desselben, der etwas fern von jedem Ende der Gateelektrodenschicht (18) liegt. Die jeweilige gering dotierte Schicht (24) ist somit mit einem stufenartigen Querschnitt ausgebildet.

Die Isolierschicht (20) weist Kontaktlöcher (27a, 27b) auf, um die Oberflächenabschnitte der Source- und Drainschicht (22a, 22b) freizulegen. Metallschichten (28, 30) sind auf der Oxidschicht (20) aufgebracht und stehen über die Kontaktlöcher (27a, 27b) elektrisch in Verbindung mit der Source- und Drainschicht (22a, 22b). Die Metallschichten (28, 30) dienen als Source- und Drainelektrode.

Die vorausgehend aufgeführte Transistoranordnung kann unter Verwendung des nachfolgend beschriebenen Verfahrens hergestellt werden. Zunächst wird gemäss Fig. 2A eine Feldisolierschicht (14) und eine dünne Gateoxidschicht (16) auf einem p-Typ-Siliciumsubstrat (12) hergestellt. Das Siliciumsubstrat (12) hat eine verhältnismässig hohe Fremdatomkonzentration von beispielsweise $8 \times 10^{16} \text{ cm}^{-3}$. Die Gateoxidschicht (16) ist so ausgebildet, dass sie bei dieser Ausführungsform eine Dicke von 20 nm hat. Die Gateelektrodenschicht (18) wird auf die Gateoxidschicht (16) aufgebracht. Die Gateelektrodenschicht (18) besteht aus einer dünnen Polysiliciumschicht mit einer Länge von 0,8 μm (800 nm) und einer Dicke von 400 nm.

Anschließend wird ein n-Typ-Fremdatom (Phosphor) in das Substrat (12) implantiert, wobei die Gateelektrodenschicht (18) als Maske dient, wobei die Ionenimplantation bei einem Spannungspegel von 15 keV und einer Dosis von $3 \times 10^{13} \text{ cm}^{-2}$ erfolgt. Infolgedessen werden n-Typ-Diffusionsschichten (erste Diffusionsschichten) (32a, 32b) im Substrat (12) hergestellt, die im wesentlichen selbstfluchtend zur Gateelektrodenschicht (18) liegen. Die in Fig. 2A dargestellte Anordnung wird einer Wärmebehandlung unterzogen und eine dünne Isolierschicht (34) aus Siliciumoxid wird auf der Oberfläche der Gateelektrodenschicht (18) erhalten. Anschliessend wird eine dünne Oxidschicht (36) über der erhaltenen Anordnung mittels eines chemischen Dampfabscheidungsverfahrens (CVD) unter Verwendung eines Silan-gases hergestellt, um die Schichten (14, 16, 18) abzudecken.

Die Isolierschichten (16, 34, 36) werden mittels eines reaktiven Ionenätz (RIE)-Verfahrens geätzt und die Isolierschichten (34, 36) werden entsprechend Fig. 2C weitgehend entfernt, wobei nur ihre Abschnitte bleiben, die neben den Enden der Gateschicht (18) liegen, und die Isolierschicht (16) wird entfernt, mit Ausnahme des unterhalb der Gateelektrodenschicht (18) liegenden Abschnittes. Infolgedessen verbleibt ein Isolierschichtabschnitt (36') an jeder Seite der Gateelektrodenschicht (18) und ein Gateisolierschichtabschnitt (16') verbleibt unter der Gateelektrodenschicht (18).

Unter Verwendung der Gateelektrodenschicht (18) und des Isolierschichtabschnittes (36) als Maske wird ein n-Typ-Fremdatom (Phosphor) in das Substrat (12) injiziert, vorzugsweise bei einer Beschleunigungsspannung von 60 keV und mit einer Dosis von $3 \times 10^{13} \text{ cm}^{-2}$. Es wird darauf hingewiesen, dass die Beschleunigungsspannung höher — beispielsweise in diesem Fall 4 mal höher — als die Beschleunigungsspannung bei der Herstellung der n-Typ-Diffusionsschichten (erste Diffusionsschichten) (32a, 32b) durch Ionenimplantation eingestellt wird. Infolgedessen sind die n-Typ-Diffusionsschichten (38a, 38b) (zweite Diffusionsschichten), die im Substrat (12) gebildet werden, tiefer als die vorausgehend hergestellten Diffusionsschichten (32a, 32b). Die tiefen n-Typ-Diffusionsschichten (38a, 38b) werden im Substrat derart hergestellt, dass sie mit den dünnen n-Typ-Diffusionsschichten (32a, 32b) überlappen. Die dünnen n-Typ-Diffusionsschichten (32a, 32b) sind im wesentlichen selbstfluchtend zur

Gateelektrodenschicht (18) angeordnet, während andererseits die tiefen Diffusionsschichten (38a, 38b) selbstfluchtend mit den Isolierschichtabschnitten (36') liegen. Die ersten und zweiten Diffusionsschichten (32, 38) arbeiten als gering dotierte Schichten (24) des MOSFETs (Q) der Fig. 1.

Mittels der Schichten (18, 36') als Maske wird ein n-Typ-Fremdatom, beispielsweise Arsen, in das Substrat ionenimplantiert, vorzugsweise bei einer Beschleunigungsspannung von 40 keV und mit einer Dosis von $5 \times 10^{15} \text{ cm}^{-2}$. Infolgedessen werden stark dotierten n^+ -Typ-Halbleiterschichten (22a, 22b) als dritte Diffusionsschichten in den sich überlappenden Bereichen der ersten und zweiten Diffusionsschichten (32, 38) erhalten, und zwar in solcher Weise, dass sie im wesentlichen die gleiche Tiefe wie die erste Diffusionsschicht (32) haben, wie in Fig. 2D dargestellt ist.

Die erhaltene Schichtanordnung wird einer thermischen Oxidation unterworfen, um die ersten, die zweiten und die dritten Diffusionsschichten (32, 38, 22) im Substrat (12) zu aktivieren. Auf diese Weise werden eine Sourceschicht und eine Drainschicht erhalten, wobei darauf hingewiesen wird, dass die Sourceschicht aus einer stark dotierten n^+ -Halbleiterschicht (22a) und einer gering dotierten n^- -Halbleiterschicht (24a) entsprechend der ersten und zweiten Diffusionsschicht (32a, 38a) mit stufenartigem Querschnitt besteht. Die Drainschicht besteht aus einer stark dotierten n^+ -Halbleiterschicht (22b) und einer gering dotierten n^- -Halbleiterschicht (24b) entsprechend der ersten und zweiten Diffusionsschicht (32b, 38b) mit stufenartigem Querschnitt.

Die Oxidschicht (20) wird mittels des CVD-Verfahrens über die gesamte Oberfläche der erhaltenen Anordnung erzielt und Kontaktlöcher (27a, 27b) der Source- und Drainschicht werden jeweils gemäss Fig. 2E mittels eines bekannten Musterungsverfahrens in der CVD-Oxidschicht (20) erhalten. Anschliessend wird eine Metallschicht über der gesamten Oberfläche der erhaltenen Schichtanordnung erzeugt, woran sich ein bekannter Musterungsvorgang anschliesst, um die Source- und Drainelektrodenschichten (28, 30) vorzusehen. Auf diese Weise wird ein MOSFET (Q) fertiggestellt, der einen LDD-Aufbau aufweist. In diesem Zusammenhang wird darauf hingewiesen, dass die gering dotierten Schichten (32a, 38a) (oder 32b, 38b) gemäss Fig. 2E der Schicht (24a) (oder 24b) entsprechen und somit mit den Bezugszeichen (24a) (oder 24b) bezeichnet sind.

In der mikrominiaturisierten integrierten Halbleiterschaltungsanordnung mit dem MOSFET (Q) mit LDD-Anordnung sind die äusseren, eine geringe Fremdatomkonzentration aufweisenden Abschnitte der aktiven Schichten, die im wesentlichen selbstfluchtend mit den beiden Enden der Gateelektrodenschicht (18) sind, im Querschnitt stufenartig ausgebildet. Der Abstand zwischen der Sourceschicht und der Drainschicht im Substrat (12) wird durch den Abstand (D1) zwischen den Ansätzen (26a, 26b) der aktiven Schichten (24a, 24b) (siehe Fig. 2E) bestimmt. Der Abstand (D1) ist grösser als ein Abstand (D2) zwischen den sich einander gegenüberliegenden aktiven Schichten an der freiliegenden Oberfläche des Substrates (12). Somit kann die Kanallänge des MOSFETs (Q) im Substrat unabhängig davon erhöht werden, dass die Transistoren in der Grössenordnung von Submikroabmessungen sehr klein sind, wodurch ein Durchgriffsspannungspegels (V_{pt}) verbessert wird. Ein Anstieg im Durchgriff-Durchschlagsspannungspegel kann das Auftreten des Durchgriffphänomens unterdrücken, das als Kurzkanaleffekt bekannt ist,

wodurch die Zuverlässigkeit verbessert wird, mit welcher die Transistoren betrieben werden.

Erfindungsgemäss ist es möglich, die Durchschlagsspannung der Übergangszone an der Source- und Drainschicht zu erhöhen, da der stark dotierte Bereich (22) der jeweiligen aktiven Schicht vollständig durch den gering dotierten Bereich umgeben ist und somit niemals unmittelbar mit dem Substrat (12) verbunden ist und da der gering dotierte Bereich auf einen ausreichend kleinen Fremdatomkonzentrationspegel eingestellt ist. Fig. 3 stellt eine Änderung der Fremdatomkonzentration dar, gesehen in Vertikalrichtung der jeweiligen aktiven Schicht und des entsprechenden Substratbereiches. Aus der Kennlinie ist ersichtlich, dass die Fremdatomkonzentration im stark dotierten Bereich (22) hoch ist und sich abrupt ändert und dass die Fremdatomkonzentration im gering dotierten Bereich niedrig ist und sich relativ wenig ändert. Somit wird die Änderung der Fremdatomkonzentration zwischen der jeweiligen aktiven Schicht und dem Substrat infolge der Anwesenheit des gering dotierten Bereiches beseitigt. Bei diesem Ausführungsbeispiel ist die stark dotierte Schicht (22) auf einen Fremdatomkonzentrationspegel von $2 \times 10^{20} \text{ cm}^{-3}$ eingestellt, die gering dotierte Schicht (24) ist auf einen Fremdatomkonzentrationspegel von $6 \times 10^{18} \text{ cm}^{-3}$ eingestellt und das Substrat (12) ist auf einen Fremdatomkonzentrationspegel von $8 \times 10^{16} \text{ cm}^{-3}$ eingestellt. Somit können die üblicherweise einander gegenüberstehenden technischen Probleme, d.h. die Unterdrückung des Durchgriffphänomens und die Verbesserung der Übergangszone-Durchschlagsspannung gleichzeitig gelöst werden.

Entsprechend dem vorausgehend aufgeführten Herstellungsverfahren werden die gering dotierten Schichten (32, 38) der jeweiligen aktiven Schichten getrennt mittels Diffusion im Substrat (12) in einem zweistufigen Verfahren hergestellt. Insbesondere wird gemäss Fig. 2C zunächst eine erste Diffusionsschicht (32) hergestellt und anschliessend wird eine zweite Diffusionsschicht (38) durch ein getrenntes Ionenimplantationsverfahren so erzeugt, dass sie die erste Diffusionsschicht (32) überlappt. Somit kann die jeweilige aktive Schicht ohne ein besonderes Herstellungsverfahren im Querschnitt stufenartig erhalten werden und darüber hinaus können die mikrominiaturisierten MOSFETs ausgezeichneter Qualität mittels eines gegenwärtig verfügbaren Herstellungsverfahrens hergestellt werden. Somit ist es möglich, die mikrominiaturisierten MOSFETs bei hoher Ausbeute und Produktivität herzustellen.

Obgleich die Erfindung unter Bezugnahme auf eine spezifische Ausführungsform beschrieben wurde, ist es für den Fachmann offensichtlich, dass zahlreiche Abänderungen im Rahmen der Erfindung möglich sind.

Beispielsweise können die erste bis dritte Diffusionsschicht der Source- und Drainbereiche hergestellt werden, indem die Reihenfolge ihrer Herstellung entsprechend geändert wird. Die Bedingungen, unter denen die erste bis dritte Diffusionsschicht hergestellt werden, ohne den Kern der Erfindung zu verlassen. Obgleich bei dieser Ausführungsform der Source- und Drainbereich den gleichen Aufbau aufweist, so kann, falls der Diffusionsschichtaufbau allein an der Drainbereichseite verwendet wird, im wesentlichen die gleiche Wirkung erzielt werden, da die Stossionisierung und die Übergangszone-Durchschlagsspannung an der Seite des Drainbereiches auftreten, auf welcher eine Gegenspannung hauptsächlich angelegt wird.

Obgleich die Erfindung in Verbindung mit n-Kanal-

MOSFETs beschrieben wurde, kann sie selbstverständlich nicht nur bei p-Kanal-MOSFETs, sondern auch bei einer CMOS-Anordnung eingesetzt werden. Die MOSFETs können eine Anordnung aufweisen, bei welcher eine durch thermische Oxidation erhaltene Schicht als Gateisolierschicht verwendet wird oder die anderen Isolierschichten beispielsweise eine Siliciumnitridschicht umfassen.

10

15

20

25

30

35

40

45

50

55

60

65

3709708
1/3

Nummer:
Int. Cl.4:
Anmeldetag:
Offenlegungstag:

37 09 708
H 01 L 29/78
25. März 1987
8. Oktober 1987

FIG. 1

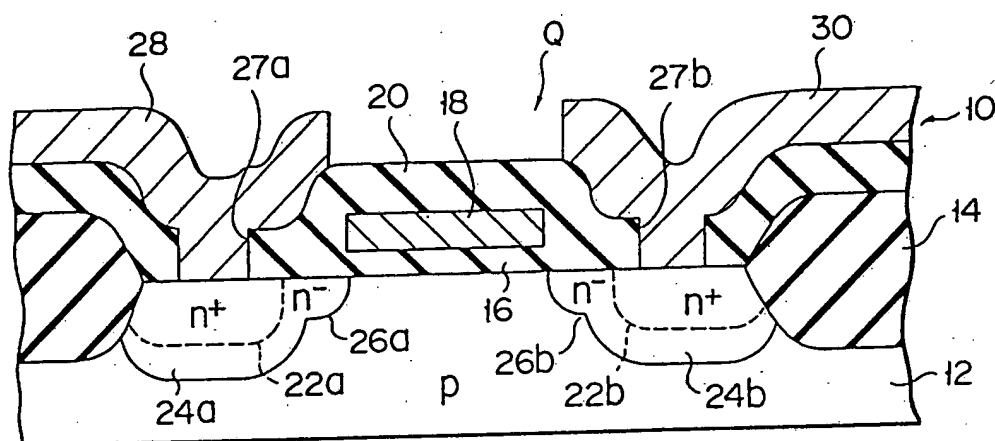


FIG. 2A

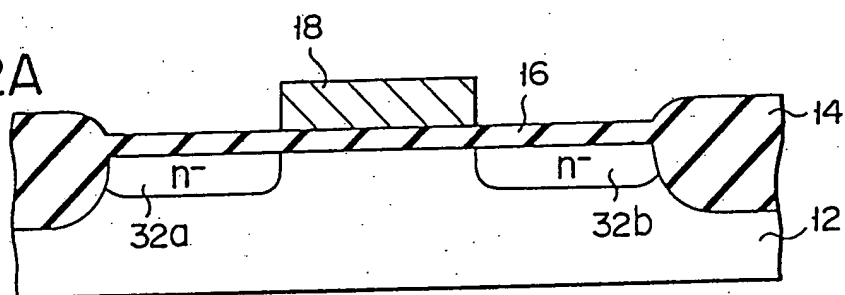


FIG. 2B

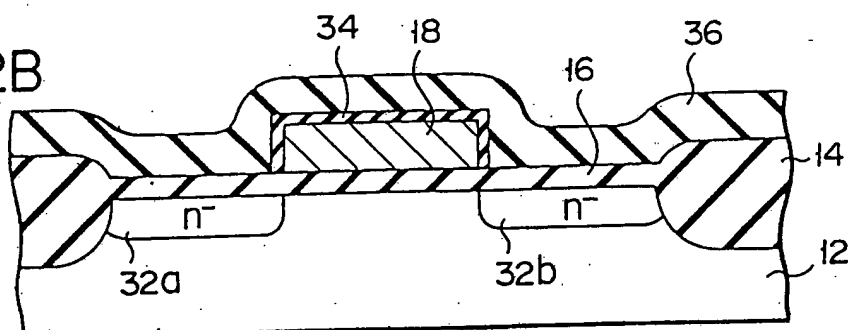
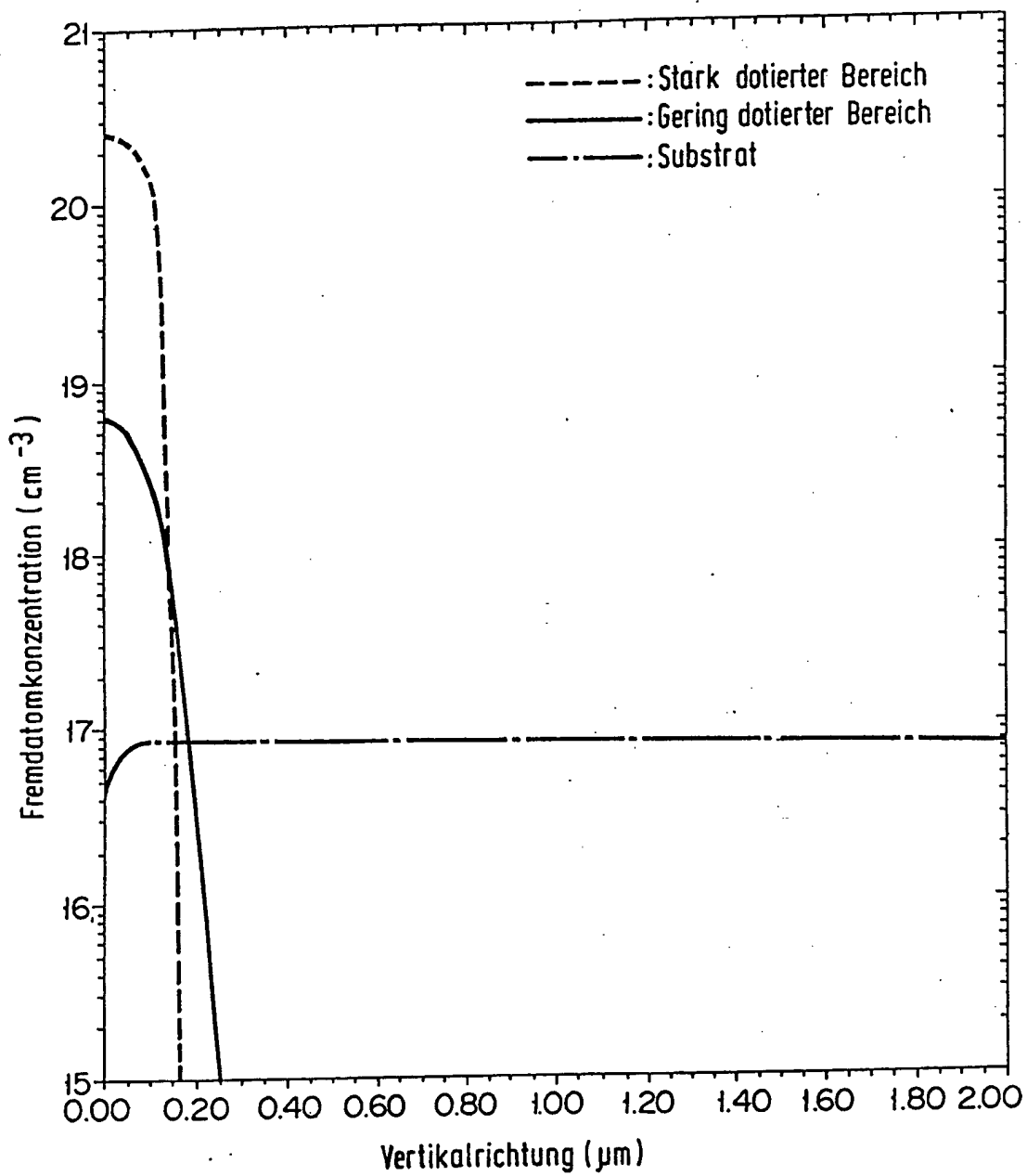


FIG. 2D is a cross-sectional view of a device. It features a central hatched layer 18 sandwiched between two layers 16 and 14. The device is divided into sections 38a and 38b by a central section 32b. Labels include 22a, 36', 32a, 32b, 22b, 12, and 14.

ORIGINAL INSPECTED

F I G. 3



ORIGINAL INSPECTED